

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 3 月 10 日 (10.03.2005)

PCT

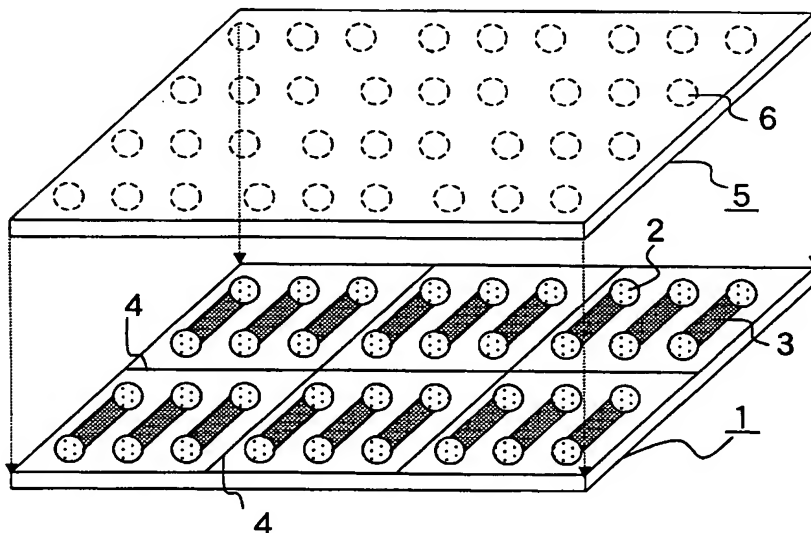
(10) 国際公開番号  
WO 2005/022967 A1

- (51) 国際特許分類: H05K 3/00
- (21) 国際出願番号: PCT/JP2004/012174
- (22) 国際出願日: 2004 年 8 月 25 日 (25.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-305735 2003 年 8 月 29 日 (29.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 箕輪興亜株式会社 (MINOWA KOA INC.) [JP/JP]; 〒3994601 長野県上伊那郡箕輪町大字中箕輪 1 4 0 1 6 番 3 0 号 Nagano (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 隆介 (SUZUKI, Ryuusuke) [JP/JP]; 〒3994601 長野県上伊那郡箕輪町大字中箕輪 1 4 0 1 6 番 3 0 号 箕輪興亜株式会社内 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: ELECTRONIC PART MANUFACTURING METHOD

(54) 発明の名称: 電子部品の製造方法



(57) Abstract: There is provided a method for manufacturing an electronic part having a circuit element (3) formed on a surface of a ceramic substrate (1) and conductive balls (2) as an electronic part terminal. After the ceramic substrate (1) and the conductive balls (2) are fixed, the ceramic substrate (1) is appropriately divided. For this, the manufacturing method includes: a first step for forming the circuit element (3) on the surface of a large-scale ceramic substrate (1) having division grooves (4) arranged vertically and horizontally on the surface; a second step for fixing the conductor balls (2) to the terminal portion of the circuit element (3); and a third step for dividing the substrate (1) by applying stress to the substrate (1) so as to open the division grooves (4). The first, the second, and the third step are performed in this order. The application of stress in the third step is performed substantially equally to a plenty of conductive balls (2) or no stress is applied to the conductive balls (2).

(57) 要約: セラミック基板 1 面に回路素子 3 が形成され、導電性ボール 2 を電子部品端子とする電子部品の製造法において、セラミック基板 1 と導電性ボール 2 との固着をした後に、かかるセラミック基板 1 を適切に分割する。そのためには、表面に縦横に設けられた分割用溝 4 を有する大型のセラミッ

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

規則4.17に規定する申立て:

— USのための発明者である旨の申立て (規則4.17(iv))

ク基板1面に回路素子3を形成する第1の工程と、当該回路素子3の端子部に導電性ボール2を固着させる第2の工程と、前記分割用溝4を開くように基板1に応力付与することで上記基板1を分割する第3の工程を有し、第1、第2、第3の工程をこの順に実施し、第3の工程における応力付与が、多数の導電性ボール2に対し実質的に均等に付与されるか、又は導電性ボール2に応力付与がされないこととする。